

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-007219

(43)Date of publication of application : 12.01.2001

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 29/786

(21)Application number : 11-174045

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 21.06.1999

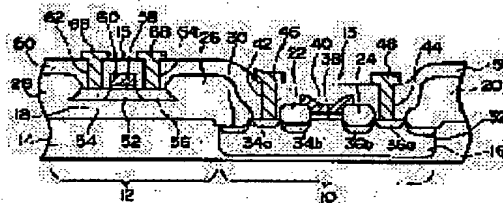
(72)Inventor : SATO YOKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To enable formation of a semiconductor element which requires a deep diffusion layer by selectively removing a buried oxide film and a silicon single crystalline layer of an SOI substrate, forming a first region and forming a high withstand voltage transistor there.

SOLUTION: A first region 10 and a second region 12 are formed in a silicon substrate 14 and a high withstand voltage transistor 13 is formed in the first region 10. The high withstand voltage transistor 13 is provided with a gate electrode 40, source/drain 34a, 36a and source/drain offsets 34b, 36b. A p-type well 16 is formed in the silicon substrate 14 of the first region 10, and offset LOCOS oxide films 22, 24 are formed on a well 16 to hold a gate oxide film 38 in between. A gate electrode 40 is formed on a gate oxide film 38, and one end part of the gate electrode 40 is located on the offset LOCOS oxide film 22. Thereby, a high withstand voltage transistor 13 and an MOS field effect transistor 15 can be formed on the same substrate 14.



LEGAL STATUS

[Date of request for examination]

20.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-7219

(P2001-7219A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 1 L 21/8234

H 0 1 L 27/08

1 0 2 A 5 F 0 4 8

27/088

29/78

6 1 3 Z 5 F 1 1 0

29/786

審査請求 未請求 請求項の数10 O L (全 8 頁)

(21) 出願番号

特願平11-174045

(22) 出願日

平成11年6月21日 (1999.6.21)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 佐藤 陽子

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

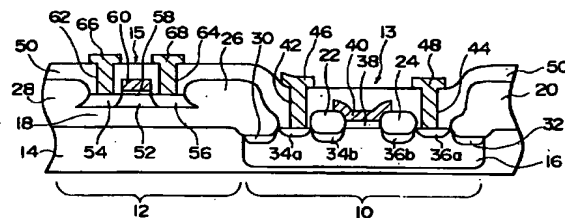
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 SOI基板を備えた半導体装置において、深い拡散層を必要とする横形高耐圧トランジスタを形成することが可能な半導体装置を提供することである。

【解決手段】 SOI基板の埋め込み酸化膜及びシリコン単結晶層を選択的に除去し、第1の領域10を形成している。そして、第1の領域10のシリコン基板14に高耐圧トランジスタ13を形成している。第2の領域12にはSOI構造のMOS電界効果トランジスタ15を形成している。



BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項 1】 第 1 の単結晶層と、前記第 1 の単結晶層上に位置している第 1 の絶縁層と、前記第 1 の絶縁層上に位置している第 2 の単結晶層と、を含む SOI 基板を備えた半導体装置であって、

第 1 の電界効果トランジスタと、前記第 1 の電界効果トランジスタが形成される第 1 の領域と、を備え、前記第 1 の領域は、前記第 1 の単結晶層が位置し、かつ前記第 1 の絶縁層及び前記第 2 の単結晶層が位置していない領域であり、

前記第 1 の電界効果トランジスタは、前記第 1 の領域に形成されたゲート電極と、前記第 1 の領域に形成された第 1 のソース／ドレイン領域と、第 1 のソース／ドレイン領域と間を隔てて前記第 1 の領域に形成された第 2 のソース／ドレイン領域と、を含む、半導体装置。

【請求項 2】 請求項 1 において、

前記第 1 の電界効果トランジスタは、高耐圧トランジスタを含む、半導体装置。

【請求項 3】 請求項 2 において、

前記第 1 のソース／ドレイン領域及び前記第 2 のソース／ドレイン領域のうち、少なくともいずれか一方はオフセット領域を備え、

オフセット用 LOCOS 酸化膜が前記オフセット領域の上に位置する、半導体装置。

【請求項 4】 請求項 1、2 又は 3 において、

MOS 電界効果トランジスタと、前記 MOS 電界効果トランジスタが形成される第 2 の領域と、を備え、

前記第 2 の領域は、前記第 1 の単結晶層、前記第 1 の絶縁層及び前記第 2 の単結晶層が位置している領域である、半導体装置。

【請求項 5】 請求項 4 において、

前記第 1 の電界効果トランジスタは、第 1 のゲート絶縁膜を備え、

前記 MOS 電界効果トランジスタは、第 2 のゲート絶縁膜を備え、

前記第 1 のゲート絶縁膜の膜厚は、前記第 2 のゲート絶縁膜の膜厚より大きい、半導体装置。

【請求項 6】 第 1 の単結晶層と、前記第 1 の単結晶層上に位置している第 1 の絶縁層と、前記第 1 の絶縁層上に位置している第 2 の単結晶層と、を含む SOI 基板を備えた半導体装置の製造方法であって、前記第 2 の単結晶層及び前記第 1 の絶縁層を選択的に除去し、第 1 の領域を形成する工程と、前記第 1 の領域に第 1 の横形電界効果トランジスタを形成する工程と、

を備えた半導体装置の製造方法。

【請求項 7】 請求項 6 において、

前記第 1 の横形電界効果トランジスタを形成する工程は、高耐圧トランジスタを形成する工程を含む、半導体装置の製造方法。

2

【請求項 8】 請求項 7 において、

前記第 1 の横形電界効果トランジスタを形成する工程は、

前記第 1 の領域にソース／ドレイン領域のオフセット領域を形成する工程と、

前記オフセット領域上に、オフセット用 LOCOS 酸化膜を形成する工程と、

前記第 1 の領域にゲート電極を形成する工程と、

を含む、半導体装置の製造方法。

10 【請求項 9】 請求項 6～8 のいずれかにおいて、

前記第 2 の単結晶層に MOS 電界効果トランジスタを形成する工程を含む半導体装置の製造方法。

【請求項 10】 請求項 9 において、

前記第 1 の領域の前記第 1 の単結晶層上に、前記第 1 の横形電界効果トランジスタの第 1 のゲート絶縁膜の下層部を形成する工程と、

前記第 1 のゲート絶縁膜の下層部上に前記第 1 のゲート絶縁膜の上層部及び前記第 2 の単結晶層上に前記 MOS 電界効果トランジスタの第 2 のゲート絶縁膜を形成する工程と、

を含む、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、SOI (Silicon On Insulator) 基板を備えた半導体装置及びその製造方法に関する。

【0002】

【背景技術及び発明が解決しようとする課題】 SOI 構造の MOS 電界効果トランジスタは、通常の MOS 電界効果トランジスタに比べ、低消費電力で、かつ高速で駆動させることができる。低消費電力で、かつ高速志向の SOI 構造では、一般にボディ領域を浅くする (～数 nm)。このため深い拡散層を必要とする半導体素子 (例えば、高耐圧デバイス) との同居には適用することができなかった。

【0003】 本発明の目的は、SOI 基板を備えた半導体装置において、深い拡散層を必要とする半導体素子を形成することが可能な半導体装置及びその製造方法を提供することである。

40 【0004】

【課題を解決するための手段】 本発明は、第 1 の単結晶層と、第 1 の単結晶層上に位置している第 1 の絶縁層と、第 1 の絶縁層上に位置している第 2 の単結晶層とを含む SOI 基板を備えた半導体装置であって、第 1 の電界効果トランジスタと、第 1 の電界効果トランジスタが形成される第 1 の領域と、を備える。第 1 の領域は、第 1 の単結晶層が位置し、かつ第 1 の絶縁層及び第 2 の単結晶層が位置していない領域である。第 1 の電界効果トランジスタは、第 1 の領域に形成されたゲート電極と、第 1 の領域に形成された第 1 のソース／ドレイン領域

50

と、第1のソース／ドレイン領域と間を隔てて前記第1の領域に形成された第2のソース／ドレイン領域と、を含む。

【0005】SOI構造では第2の単結晶層に半導体素子を形成する。第1の単結晶層は半導体素子の形成に用いられない。本発明では、第1の領域の第1の単結晶層に第1の電界効果トランジスタを形成している。第1の単結晶層は、第1の絶縁層及び第2の単結晶層を支持する基板に含まれる。このため、第1の単結晶層を厚くすることが可能となる。したがって、第1の電界効果トランジスタが深い拡散層を必要とする場合でも、第1の電界効果トランジスタを第1の単結晶層に形成することができる。よって、本発明によれば同一基板に、深い拡散層を必要とする第1の電界効果トランジスタとSOI構造の半導体素子とを形成することが可能となる。

【0006】本発明の第1の電界効果トランジスタは、高耐圧トランジスタを含むのが好ましい。高耐圧トランジスタは深い拡散層を必要とする。したがって、本発明によれば、同一基板に高耐圧トランジスタとSOI構造の半導体素子とを形成することが可能となる。本発明は、第1のソース／ドレイン領域及び第2のソース／ドレイン領域のうち、少なくともいずれか一方はオフセット領域を備え、オフセット用LOCOS酸化膜がオフセット領域の上に位置するのが好ましい。このオフセット用LOCOS酸化膜により高耐圧トランジスタの耐圧が向上する。第1のソース／ドレイン領域及び第2のソース／ドレイン領域のうち、高電圧が印加される側に少なくとも、このオフセット用LOCOS酸化膜があるのが好ましい。

【0007】本発明は以下の態様が好ましい。本発明は、MOS電界効果トランジスタと、MOS電界効果トランジスタが形成される第2の領域と、を備える。第2の領域は、第1の単結晶層、第1の絶縁層及び第2の単結晶層が位置している領域である。MOS電界効果トランジスタは、このような第2の領域に形成されるので、SOI構造となる。そして、この態様において、第1の電界効果トランジスタは第1のゲート絶縁膜を備え、MOS電界効果トランジスタは第2のゲート絶縁膜を備えており、第1のゲート絶縁膜の膜厚は第2のゲート絶縁膜の膜厚より大きい、のが好ましい。

【0008】本発明は、第1の単結晶層と、第1の単結晶層上に位置している第1の絶縁層と、第1の絶縁層上に位置している第2の単結晶層と、を含むSOI基板を備えた半導体装置の製造方法であって、第2の単結晶層及び第1の絶縁層を選択的に除去し、第1の領域を形成する工程と、第1の領域に第1の横形電界効果トランジスタを形成する工程と、を備える。本発明によれば、同一基板に第1の横形電界効果トランジスタとSOI構造の半導体素子とを形成することが可能となる。

【0009】本発明において、第1の横形電界効果トラ

ンジスタを形成する工程は、高耐圧トランジスタを形成する工程を含むのが好ましい。高耐圧トランジスタを形成する工程において、第1の領域にソース／ドレイン領域のオフセット領域を形成する工程と、オフセット領域上に、オフセット用LOCOS酸化膜を形成する工程と、第1の領域にゲート電極を形成する工程と、を含むのが好ましい。

【0010】本発明において、第2の単結晶層にMOS電界効果トランジスタを形成する工程を含むのが好ましい。この態様によれば、同一基板に、第1の横形電界効果トランジスタとSOI構造のMOS電界効果トランジスタとを形成することが可能となる。そして、第1の横形電界効果トランジスタの第1のゲート絶縁膜の厚みがMOS電界効果トランジスタの第2のゲート絶縁膜の厚みより大きい場合、以下の工程が好ましい。

【0011】第1の領域の第1の単結晶層上に第1の横形電界効果トランジスタの第1のゲート絶縁膜の下層部を形成する工程と、第1のゲート絶縁膜の下層部上に第1の横形電界効果トランジスタの第1のゲート絶縁膜の上層部及び第2の単結晶層上にMOS電界効果トランジスタの第2のゲート絶縁膜を形成する工程。言い換えると、第1の領域の第1の単結晶層上及び第2の領域の第2の単結晶層上にゲート絶縁膜を同時に形成する。次に、第2の領域の第2の単結晶層上のゲート絶縁膜をエッチングして薄く又は取り除く（第2の領域の第2の単結晶層上のゲート絶縁膜の厚みを所望の厚みに調整する）。次に、第1の領域の第1の単結晶層上及び第2の領域の第2の単結晶層上にゲート絶縁膜を同時に形成して、第1の領域の第1の単結晶層上のゲート絶縁膜の厚みを第2の領域の第2の単結晶層上のゲート絶縁膜の厚みより大きくする。

【0012】

【発明の実施の形態】本発明の一実施の形態について説明する。

【0013】{構造の説明} 図1は、本発明の一実施の形態に係る半導体装置の断面図である。SOI基板は、p型のシリコン基板14を含む。シリコン基板14には、第1の領域10及び第2の領域12がある。第1の領域10には高耐圧トランジスタ13が形成されている。第1の領域10に形成することができる半導体素子としては、他に縦型バイポーラ等がある。第2の領域12にはSOI構造のMOS電界効果トランジスタ15が形成される。第2の領域12に形成することができる回路としては、例えば、高速化又は低消費電力化が必要な回路（例えば、携帯情報機器等に用いられる回路）がある。

【0014】次に、第1の領域10の詳細を説明する。高耐圧トランジスタ13は、ゲート電極40、ソース／ドレイン34a、36a、ソース／ドレインのオフセット34b、36bを備える。第1の領域10のシリコン

基板 14 には p 型のウェル 16 が形成されている。ウェル 16 上にはゲート酸化膜 38 が形成されている。ゲート酸化膜 38 の厚さは例えば 40~100 nm である。ゲート酸化膜 38 を挟むようにウェル 16 上には、オフセット用 LOCOS 酸化膜 22、24 が形成されている。ゲート酸化膜 38 上にはゲート電極 40 が形成されている。ゲート電極 40 の一方の端部はオフセット用 LOCOS 酸化膜 22 上に位置している。ゲート電極 40 の他方の端部はオフセット用 LOCOS 酸化膜 24 上に位置している。

【0015】オフセット用 LOCOS 酸化膜 22 下のウェル 16 には n 型のソース/ドレインのオフセット 34b が形成されている。ウェル 16 には n 型のソース/ドレイン 34a が形成されている。n 型のソース/ドレイン 34a はソース/ドレインのオフセット 34b の隣に位置している。オフセット用 LOCOS 酸化膜 24 下のウェル 16 には n 型のソース/ドレインのオフセット 36b が形成されている。ウェル 16 には n 型のソース/ドレイン 36a が形成されている。n 型のソース/ドレイン 36a はソース/ドレインのオフセット 36b の隣に位置している。

【0016】ウェル 16 の一方の端部には素子分離用 LOCOS 酸化膜 26、ウェル 16 の他方の端部には素子分離用 LOCOS 酸化膜 20 がそれぞれ形成されている。素子分離用 LOCOS 酸化膜 26 下のウェル 16 には p 型のチャネルストップ領域 30 が形成されている。LOCOS 酸化膜 20 下のウェル 16 には p 型のチャネルストップ領域 32 が形成されている。ゲート電極 40 を覆うようにシリコン基板 14 上には層間絶縁膜 50 が形成されている。層間絶縁膜 50 にはソース/ドレイン 34a を露出させるスルーホール 42 が形成されている。層間絶縁膜 50 上にはアルミ配線 46 が形成されている。アルミ配線 46 はスルーホール 42 にも形成され、ソース/ドレイン 34a と電氣的に接続されている。層間絶縁膜 50 にはソース/ドレイン 36a を露出させるスルーホール 44 が形成されている。層間絶縁膜 50 上にはアルミ配線 48 が形成されている。アルミ配線 48 はスルーホール 44 にも形成され、ソース/ドレイン 36a と電氣的に接続されている。

【0017】次に、第 2 の領域 12 の詳細を説明する。MOS 電界効果トランジスタ 15 は、ゲート電極 60、ソース/ドレイン 54、56 を備える。第 2 の領域 12 のシリコン基板 14 上には埋め込み酸化膜 18 が形成されている。埋め込み酸化膜 18 上にはシリコン単結晶層が形成されている。このシリコン単結晶層には p 型のボディ領域 52、n 型のソース/ドレイン 54、56 が形成されている。埋め込み酸化膜 18 上には素子分離用 LOCOS 酸化膜 26、28 が形成されている。素子分離用 LOCOS 酸化膜 26、28 によって MOS 電界効果トランジスタ 15 は他の素子と絶縁分離される。

【0018】ボディ領域 52 上にはゲート酸化膜 58 が形成されている。ゲート酸化膜 58 の厚みは、例えば、3~10 nm である。ゲート電極 60 を覆うようにシリコン基板 14 上には層間絶縁膜 50 が形成されている。層間絶縁膜 50 にはソース/ドレイン 54 を露出させるスルーホール 62 が形成されている。層間絶縁膜 50 上にはアルミ配線 66 が形成されている。アルミ配線 66 はスルーホール 62 にも形成され、ソース/ドレイン 54 と電氣的に接続されている。層間絶縁膜 50 にはソース/ドレイン 56 を露出させるスルーホール 64 が形成されている。層間絶縁膜 50 上にはアルミ配線 68 が形成されている。アルミ配線 68 はスルーホール 64 にも形成され、ソース/ドレイン 56 と電氣的に接続されている。

【0019】〔製造方法の説明〕本発明の一実施の形態に係る半導体装置の製造方法を説明する。図 2 は SOI 基板 11 の断面図である。SOI 基板 11 は、シリコン基板 14 と、シリコン基板 14 上に形成された埋め込み酸化膜 18 と、埋め込み酸化膜 18 上に形成されたシリコン単結晶層 19 と、を備える。

【0020】図 3 に示すように、例えば、フォトリソグラフィ技術及びエッチング技術により、第 1 の領域 10 上のシリコン単結晶層 19 及び埋め込み酸化膜 18 を選択的に除去し、シリコン基板 14 を露出させる。

【0021】図 4 に示すように、SOI 基板 11 上に第 1 の領域 10 を露出させるレジスト 70 を形成する。レジスト 70 をマスクとして p 型のイオンを SOI 基板 11 に注入する。これにより、第 1 の領域のシリコン基板 14 中に p 型のウェル 16 が形成される。p 型のイオンとしては、例えば、B、BF₂ 等がある。ウェル 16 の濃度は、例えば、 $10^{-16} \sim 10^{-17} / \text{cm}^3$ である。そして、レジスト 70 を除去する。

【0022】図 5 に示すように、SOI 基板 11 の全面上に、例えば、CVD 法を用いてシリコン酸化膜 76 を形成する。シリコン酸化膜 76 の全面上に、例えば、CVD 法を用いてシリコン窒化膜 78 を形成する。シリコン窒化膜 78 の全面上にレジスト 80 を形成する。そして、レジスト 80 をマスクとして、素子分離用及びオフセット用 LOCOS 酸化膜 20、22、24、26、28 が形成される領域上のシリコン窒化膜 78 を選択的に除去する。そして、残っているレジスト 80 を除去する。

【0023】図 6 に示すように、レジスト 72 を SOI 基板 11 上に形成する。レジスト 72 は、オフセット用 LOCOS 酸化膜下のソース/ドレインのオフセット 34b、36b が形成される領域を露出させている。レジスト 72 をマスクとして n 型のイオンを SOI 基板 11 に注入する。これにより、ウェル 16 中に n 型のソース/ドレインのオフセット 34b、36b が形成される。n 型のイオンとしては、例えば、P、Ar 等がある。そ

して、残っているレジスト 72 を除去する。

【0024】図 7 に示すように、レジスト 74 を SOI 基板 11 上に形成する。レジスト 74 は、チャネルストップ領域 30、32 が形成される領域を露出させている。レジスト 74 をマスクとして p 型のイオンを SOI 基板 11 に注入する。これにより、ウェル 16 中に p 型のチャネルストップ領域 30、32 が形成される。p 型のイオンとしては、例えば、B、BF₂ 等がある。そして、残っているレジスト 74 を除去する。

【0025】図 8 に示すように、シリコン窒化膜 78 をマスクとして選択酸化し、素子分離用及びオフセット用 LOCOS 酸化膜 20、22、24、26、28 を形成する。

【0026】図 9 に示すように、レジスト 82 を第 1 の領域 10 を覆うように形成する。レジスト 82、素子分離用 LOCOS 酸化膜 26、28 をマスクとして、シリコン単結晶層 19 に p 型のイオンを注入し、p 型のボディ領域 52 を形成する。p 型のイオンとしては、例えば、B、BF₂ 等がある。ボディ領域 52 の濃度は、例えば、 $10^{-16} \sim 10^{-17} / \text{cm}^3$ である。

【0027】図 10 に示すように、シリコン酸化膜 76 をライトエッチングにより除去する。そして、次の工程でゲート酸化膜となるシリコン酸化膜を形成する。高耐圧トランジスタ 13 のゲート酸化膜 38 の厚みは、MOS 電界効果トランジスタ 15 のゲート酸化膜 58 の厚みより大きい。したがって、以下のようにしてゲート酸化膜となるシリコン酸化膜を形成した。

【0028】図 11 に示すように、ボディ領域 52 及び露出しているウェル 16 にシリコン酸化膜 84 を、熱酸化により形成する。第 1 の領域 10 に形成されたシリコン酸化膜 84 は、高耐圧トランジスタ 13 のゲート酸化膜 38 の一部となる。このため、シリコン酸化膜 84 の厚みはゲート酸化膜 38 の厚みより小さくする必要がある。よって、シリコン酸化膜 84 の厚みとしては、例えば、30~90 nm である。

【0029】図 12 に示すように、第 1 の領域 10 を覆うレジスト 86 を形成する。レジスト 86 をマスクとして、ボディ領域 52 上のシリコン酸化膜 84 を除去する。

【0030】図 13 に示すように、SOI 基板を熱酸化する。これにより、ボディ領域 52 上にはゲート酸化膜となるシリコン酸化膜 88 が形成される。また、シリコン酸化膜 84 の厚みは大きくなる。シリコン酸化膜 88 の厚みとしては、例えば、3~10 nm である。シリコン酸化膜 84 の厚みとしては、例えば、40~100 nm である。

【0031】図 14 に示すように、SOI 基板の全面上に例えば、CVD 法によりポリシリコン膜を形成する。例えば、フォトリソグラフィ技術及びエッチング技術により、ポリシリコン膜及びシリコン酸化膜 84、88 を

選択的に除去し、ゲート酸化膜 38、ゲート電極 40、ゲート酸化膜 58、ゲート電極 60 を形成する。

【0032】図 15 に示すように、ゲート電極 40、60 並びに素子分離用及びオフセット用 LOCOS 酸化膜 20、22、24、26、28 をマスクとして、n 型のイオンをウェル 16 及びボディ領域 52 に注入し、n 型のソース/ドレイン 34a、36a、54、56 を形成する。n 型のイオンとしては、例えば、P、Ar 等がある。

【0033】図 1 に示すように、例えば、CVD 法により、SOI 基板の全面上にシリコン酸化膜を含む層間絶縁膜 50 を形成する。異方性エッチングにより、層間絶縁膜 50 を選択的に除去し、スルーホール 42、44、62、64 を形成する。スルーホール 42 は、ソース/ドレイン 34a を露出させる。スルーホール 44 は、ソース/ドレイン 36a を露出させる。スルーホール 62 は、ソース/ドレイン 54 を露出させる。スルーホール 64 は、ソース/ドレイン 56 を露出させる。次に、例えば、スパッタリング法により、SOI 基板の全面上にアルミニウム膜を形成する。アルミニウム膜はスルーホール 42、44、62、64 内にも充填されている。アルミニウム膜を、例えば、フォトリソグラフィ技術及びエッチング技術によりパターンニングし、アルミ配線 46、48、66、68 を形成する。以上により、本発明の一実施の形態に係る半導体装置が完成する。

【0034】{効果の説明} 図 1 に示すように、本発明の一実施の形態に係る半導体装置によれば、SOI 基板の埋め込み酸化膜及びシリコン単結晶層を選択的に除去し、第 1 の領域 10 を形成している。そして、第 1 の領域 10 のシリコン基板 14 に高耐圧トランジスタ 13 を形成している。したがって、本発明の一実施の形態に係る半導体装置によれば、同一基板に、深い拡散層を必要とする高耐圧トランジスタ 13 と SOI 構造の MOS 電界効果トランジスタ 15 とを形成することが可能となる。

【0035】{変形例の説明}

(1) 図 14 に示すように、本発明の一実施の形態によれば、ゲート電極 40、60 を同時に形成している。しかしながら、ゲート電極 40 とゲート電極 60 とは、別々に形成してもよい。これにより以下の効果が生じる。図 13 に示すシリコン酸化膜 84 は二回の酸化で形成される。この場合、第 2 回の酸化工程が第 1 回の酸化で形成された膜の絶縁特性に悪影響を及ぼす可能性がある。ゲート電極 40 とゲート電極 60 とを別々に形成すれば、ゲート電極の下部にある厚さの異なるゲート酸化膜 38、58 を、それぞれ一回ずつの酸化工程で形成することができる。

【0036】(2) 図 15 に示すように、本発明の一実施の形態によれば、ソース/ドレイン 34a、36a とソース/ドレイン 54、56 とを同時に形成している。

しかしながら、ソース/ドレイン 34a、36a とソース/ドレイン 54、56 とは、別々に形成してもよい。これによれば、ソース/ドレイン 34a、36a とソース/ドレイン 54、56 とは、それぞれ好ましい不純物濃度、接合深さにすることができる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態に係る半導体装置の断面図である。

【図 2】本発明の一実施の形態に係る半導体装置の製造方法の第 1 工程を説明するための SOI 基板の断面図である。

【図 3】本発明の一実施の形態に係る半導体装置の製造方法の第 2 工程を説明するための SOI 基板の断面図である。

【図 4】本発明の一実施の形態に係る半導体装置の製造方法の第 3 工程を説明するための SOI 基板の断面図である。

【図 5】本発明の一実施の形態に係る半導体装置の製造方法の第 4 工程を説明するための SOI 基板の断面図である。

【図 6】本発明の一実施の形態に係る半導体装置の製造方法の第 5 工程を説明するための SOI 基板の断面図である。

【図 7】本発明の一実施の形態に係る半導体装置の製造方法の第 6 工程を説明するための SOI 基板の断面図である。

【図 8】本発明の一実施の形態に係る半導体装置の製造方法の第 7 工程を説明するための SOI 基板の断面図である。

【図 9】本発明の一実施の形態に係る半導体装置の製造方法の第 8 工程を説明するための SOI 基板の断面図である。

【図 10】本発明の一実施の形態に係る半導体装置の製造方法の第 9 工程を説明するための SOI 基板の断面図である。

【図 11】本発明の一実施の形態に係る半導体装置の製造方法の第 10 工程を説明するための SOI 基板の断面図である。

【図 12】本発明の一実施の形態に係る半導体装置の製造方法の第 11 工程を説明するための SOI 基板の断面図である。

【図 13】本発明の一実施の形態に係る半導体装置の製

造方法の第 12 工程を説明するための SOI 基板の断面図である。

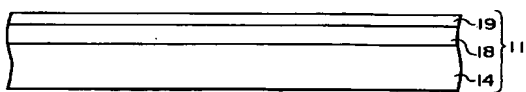
【図 14】本発明の一実施の形態に係る半導体装置の製造方法の第 13 工程を説明するための SOI 基板の断面図である。

【図 15】本発明の一実施の形態に係る半導体装置の製造方法の第 14 工程を説明するための SOI 基板の断面図である。

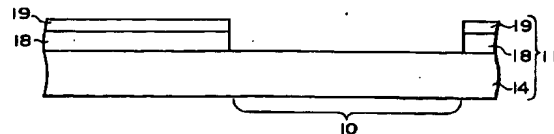
【符号の説明】

- | | |
|----------|------------------|
| 10 | 第 1 の領域 |
| 11 | SOI 基板 |
| 12 | 第 2 の領域 |
| 13 | 高耐圧トランジスタ |
| 14 | シリコン基板 |
| 15 | MOS 電界効果トランジスタ |
| 16 | ウェル |
| 18 | 埋め込み酸化膜 |
| 19 | シリコン単結晶層 |
| 20、26、28 | 素子分離用 LOCOS 酸化膜 |
| 22、24 | オフセット用 LOCOS 酸化膜 |
| 30、32 | チャネルストップ領域 |
| 34a、36a | ソース/ドレイン |
| 34b、36b | ソース/ドレインのオフセット |
| 38 | ゲート酸化膜 |
| 40 | ゲート電極 |
| 42、44 | スルーホール |
| 46、48 | アルミ配線 |
| 50 | 層間絶縁膜 |
| 52 | ボディ領域 |
| 54、56 | ソース/ドレイン |
| 58 | ゲート酸化膜 |
| 60 | ゲート電極 |
| 62、64 | スルーホール |
| 66、68 | アルミ配線 |
| 70、72、74 | レジスト |
| 76 | シリコン酸化膜 |
| 78 | シリコン窒化膜 |
| 80、82 | レジスト |
| 84 | シリコン酸化膜 |
| 86 | レジスト |
| 88 | シリコン酸化膜 |

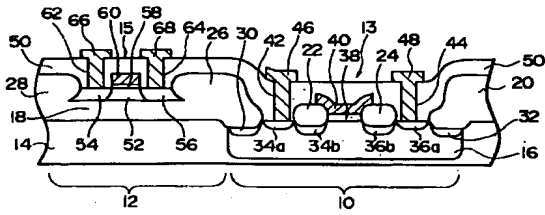
【図 2】



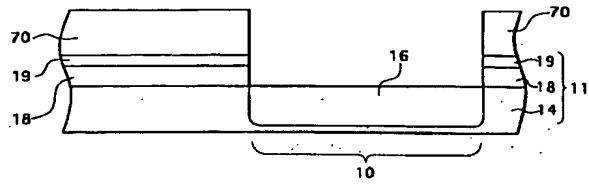
【図 3】



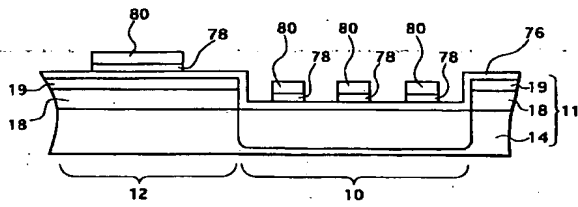
【図 1】



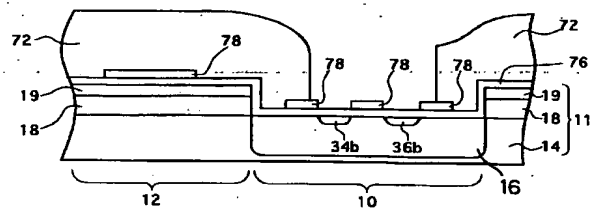
【図 4】



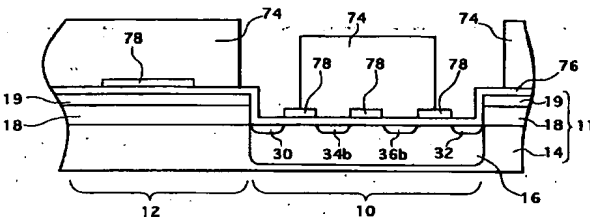
【図 5】



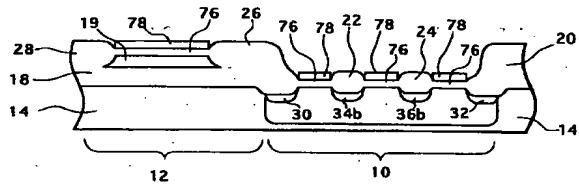
【図 6】



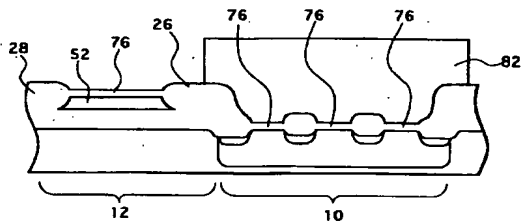
【図 7】



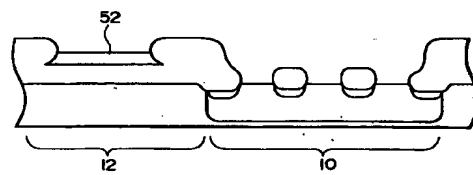
【図 8】



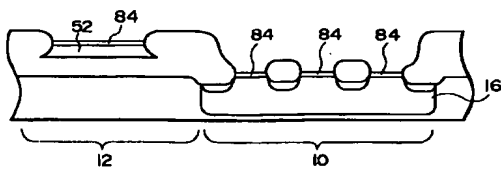
【図 9】



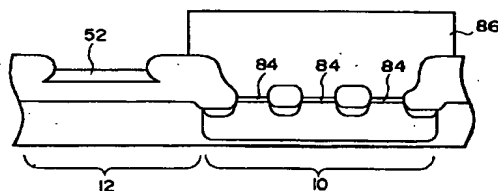
【図 10】



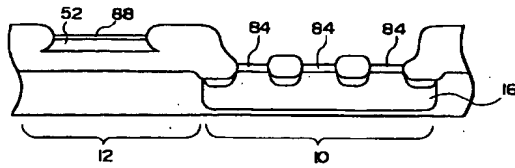
【図 11】



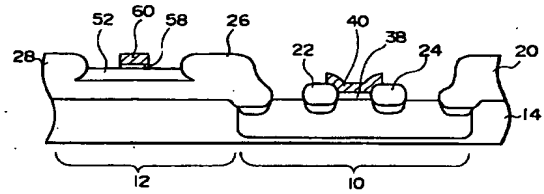
【図 12】



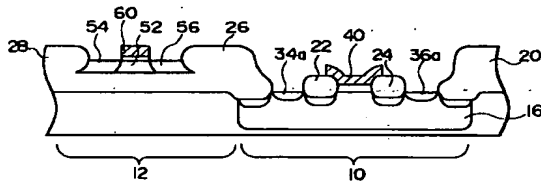
【図13】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F048 AA05 AA09 AC06 BA02 BA16
 BB05 BB16 BC05 BC11 BE03
 BF11 BF16 BG01 BG12 BH07
 5F110 AA13 AA16 CC01 DD05 DD13
 EE09 EE45 FF02 FF23 GG02
 GG12 GG44 GG52 HJ13 HK03
 HL03 HM14 NN02 NN23 NN66
 NN74

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] A semiconductor device equipped with a SOI substrate containing the 1st single crystal layer characterized by providing the following, the 1st insulating layer located on said 1st single crystal layer, and the 2nd single crystal layer located on said 1st insulating layer The 1st field-effect transistor The 1st field in which said 1st field-effect transistor is formed It is the gate electrode with which a preparation and said 1st field are fields in which said 1st single crystal layer is located in, and said 1st insulating layer and said 2nd single crystal layer are not located, and said 1st field-effect transistor was formed in said 1st field. The 2nd source / drain field which separated between from the 1st source / drain field formed in said 1st field, and the 1st source / drain field, and was formed in said 1st field

[Claim 2] It is the semiconductor device with which said 1st field-effect transistor contains a high resisting pressure transistor in claim 1.

[Claim 3] It is the semiconductor device with which either at least is equipped with an offset field, and a LOCOS oxide film for offset is located on said offset field in claim 2 among said the 1st source / drain field, and said the 2nd source / drain field.

[Claim 4] It is the semiconductor device which is the field in which it prepares for with the 2nd field in which a metal oxide silicon field effect transistor and said metal oxide silicon field effect transistor are formed in claims 1 and 2 or 3, and, as for said 2nd field, said 1st single crystal layer, said 1st insulating layer, and said 2nd single crystal layer are located.

[Claim 5] In claim 4, said 1st field-effect transistor is equipped with the 1st gate insulator layer, said metal oxide silicon field effect transistor is equipped with the 2nd gate insulator layer, and thickness of said 1st gate insulator layer is a larger semiconductor device than thickness of said 2nd gate insulator layer.

[Claim 6] A manufacture method of a semiconductor device equipped with a SOI substrate containing the 1st single crystal layer characterized by providing the following, the 1st insulating layer located on said 1st single crystal layer, and the 2nd single crystal layer located on said 1st insulating layer A production process which removes alternatively said the 2nd single crystal layer

and said 1st insulating layer, and forms the 1st field A production process which forms the 1st broadside field-effect transistor in said 1st field

[Claim 7] A production process which forms said 1st broadside field-effect transistor in claim 6 is the manufacture method including a production process which forms a high resisting pressure transistor of a semiconductor device.

[Claim 8] A production process which forms said 1st broadside field-effect transistor in claim 7 is the manufacture method including a production process which forms an offset field of the source / drain field in said 1st field, a production process which forms a LOCOS oxide film for offset on said offset field, and a production process which forms a gate electrode in said 1st field of a semiconductor device.

[Claim 9] A manufacture method of a semiconductor device which includes a production process which forms a metal oxide silicon field effect transistor in said 2nd single crystal layer in either of claims 6-8.

[Claim 10] A manufacture method of a semiconductor device which includes a production process which forms the lower layer section of the 1st gate insulator layer of said 1st broadside field-effect transistor on the 1st [of said 1st field / said] single crystal layer, and a production process which forms the 2nd gate insulator layer of said metal oxide silicon field effect transistor on the lower layer section of said 1st gate insulator layer on a management of said 1st gate insulator layer, and said 2nd single crystal layer in claim 9.

[Detailed Description of the Invention]
[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device equipped with the SOI (Silicon On Insulator) substrate, and its manufacture method.
[0002]

Background Art and Problem(s) to be Solved by the Invention] The metal oxide silicon field effect transistor of SOI structure is a low power, and can be made to drive at high speed compared with the usual metal oxide silicon field effect transistor. It is a low power and, generally a body field is made shallow with the SOI structure of a high-speed intention (- several nm). For this reason, it was inapplicable to living together with the semiconductor device (for example, high resisting pressure device) which needs a deep diffusion layer.

[0003] The purpose of this invention is offering the semiconductor device which can form the semiconductor device which needs a deep diffusion layer, and its manufacture method in the semiconductor device equipped with the SOI substrate.
[0004]

[Means for Solving the Problem] This invention is the semiconductor device equipped with a SOI substrate containing the 1st single crystal layer, the 1st insulating layer located on the 1st single

crystal layer, and the 2nd single crystal layer located on the 1st insulating layer, and is equipped with the 1st field-effect transistor and the 1st field in which the 1st field-effect transistor is formed. The 1st field is a field in which the 1st single crystal layer is located in, and the 1st insulating layer and the 2nd single crystal layer are not located. The 1st field-effect transistor includes a gate electrode formed in the 1st field, the 1st source / drain field formed in the 1st field, and the 2nd source / drain field which separated between from the 1st source / drain field, and was formed in said 1st field.

[0005] A semiconductor device is formed in the 2nd single crystal layer with SOI structure. The 1st single crystal layer is not used for formation of a semiconductor device. The 1st field-effect transistor is formed in the 1st single crystal layer of the 1st field in this invention. The 1st single crystal layer is contained in a substrate which supports the 1st insulating layer and the 2nd single crystal layer. For this reason, it becomes possible to thicken the 1st single crystal layer. Therefore, even when the 1st field-effect transistor needs a deep diffusion layer, the 1st field-effect transistor can be formed in the 1st single crystal layer. Therefore, according to this invention, it becomes possible to form the 1st field-effect transistor which needs a deep diffusion layer for the same substrate, and a semiconductor device of SOI structure.

[0006] As for the 1st field-effect transistor of this invention, it is desirable that a high resisting pressure transistor is included. A high resisting pressure transistor needs a deep diffusion layer. Therefore, according to this invention, it becomes possible to form a high resisting pressure transistor and a semiconductor device of SOI structure in the same substrate. As for this invention, it is desirable among the 1st source / drain field, and the 2nd source / drain field that either is equipped with an offset field and a LOCOS oxide film for offset is located on an offset field at least. Pressure-proofing of a high resisting pressure transistor improves with this LOCOS oxide film for offset. It is desirable that this LOCOS oxide film for offset is in a side to which a high voltage is impressed among the 1st source / drain field, and the 2nd source / drain field at least.

[0007] The following modes of this invention are desirable. This invention is equipped with a metal oxide silicon field effect transistor and the 2nd field in which a metal oxide silicon field effect transistor is formed. The 2nd field is a field in which the 1st single crystal layer, the 1st insulating layer, and the 2nd single crystal layer are located. Since a metal oxide silicon field effect transistor is formed in such 2nd field, it serves as SOI structure. And in this mode, the 1st field-effect transistor was equipped with the 1st gate insulator layer, a metal oxide silicon field effect transistor is equipped with the 2nd gate insulator layer, and large ** of thickness of the 1st gate insulator layer is more desirable than thickness of the 2nd gate insulator layer.

[0008] The 1st insulating layer to which this invention is located on the 1st single crystal layer and the 1st single crystal layer, A production process which is the manufacture method of a semiconductor device equipped with a SOI substrate containing the 2nd single crystal layer located on the 1st insulating layer, removes alternatively the 2nd single crystal layer and 1st insulating layer,

and forms the 1st field, It has a production process which forms the 1st broadside field-effect transistor in the 1st field. According to this invention, it becomes possible to form the 1st broadside field-effect transistor and a semiconductor device of SOI structure in the same substrate.

[0009] As for a production process which forms the 1st broadside field-effect transistor, in this invention, it is desirable to include a production process which forms a high resisting pressure transistor. In a production process which forms a high resisting pressure transistor, it is desirable to include a production process which forms an offset field of the source / drain field in the 1st field, a production process which forms a LOCOS oxide film for offset on an offset field, and a production process which forms a gate electrode in the 1st field.

[0010] In this invention, it is desirable to include a production process which forms a metal oxide silicon field effect transistor in the 2nd single crystal layer. According to this mode, it becomes possible to form the 1st broadside field-effect transistor and a metal oxide silicon field effect transistor of SOI structure in the same substrate. And when thickness of the 1st gate insulator layer of the 1st broadside field-effect transistor is larger than thickness of the 2nd gate insulator layer of a metal oxide silicon field effect transistor, the following production processes are desirable.

[0011] A production process which forms the lower layer section of the 1st gate insulator layer of the 1st broadside field-effect transistor on the 1st [of the 1st field] single crystal layer, and a production process which forms the 2nd gate insulator layer of a metal oxide silicon field effect transistor on the lower layer section of the 1st gate insulator layer on a management of the 1st gate insulator layer of the 1st broadside field-effect transistor, and the 2nd single crystal layer. In other words, a gate insulator layer is formed at coincidence on the 1st [of the 1st field] single crystal layer, and the 2nd [of the 2nd field] single crystal layer. Next, a gate insulator layer on the 2nd [of the 2nd field] single crystal layer is etched, and is removed thinly (thickness of a gate insulator layer on the 2nd [of the 2nd field] single crystal layer is adjusted to desired thickness). Next, a gate insulator layer is formed at coincidence on the 1st [of the 1st field] single crystal layer, and the 2nd [of the 2nd field] single crystal layer, and thickness of a gate insulator layer on the 1st [of the 1st field] single crystal layer is made larger than thickness of a gate insulator layer on the 2nd [of the 2nd field] single crystal layer.

[0012]

[Embodiment of the Invention] The gestalt of 1 operation of this invention is explained.

[0013] {Explanation of structure} drawing 1 is the cross section of the semiconductor device concerning the gestalt of 1 operation of this invention. A SOI substrate contains the silicon substrate 14 of p mold. There are the 1st field 10 and 2nd field 12 in a silicon substrate 14. The high resisting pressure transistor 13 is formed in the 1st field 10. There is other vertical mold bipolar ** as a semiconductor device which can be formed in the 1st field 10. The metal oxide silicon field effect transistor 15 of SOI structure is formed in the 2nd field 12. As a circuit which can be formed in the

2nd field 12, there is a circuit (for example, circuit used for a portable information device etc.) improvement in the speed or low-power-ization, for example.

[0014] Next, the details of the 1st field 10 are explained. The high resisting pressure transistor 13 is equipped with the offset 34b and 36b of the gate electrode 40, the source/drains 34a and 36a, and the source/drain. The well 16 of p mold is formed in the silicon substrate 14 of the 1st field 10. Gate oxide 38 is formed on the well 16. The thickness of gate oxide 38 is 40-100nm. On the well 16, the LOCOS oxide films 22 and 24 for offset are formed so that gate oxide 38 may be inserted. The gate electrode 40 is formed on gate oxide 38. One edge of the gate electrode 40 is located on the LOCOS oxide film 22 for offset. The other-end section of the gate electrode 40 is located on the LOCOS oxide film 24 for offset.

[0015] Offset 34b of the source/drain of n mold is formed in the well 16 under the LOCOS oxide film 22 for offset. The source / drain 34a of n mold are formed in the well 16. The source / drain 34a of n mold are located next to offset 34b of the source/drain. Offset 36b of the source/drain of n mold is formed in the well 16 under the LOCOS oxide film 24 for offset. The source / drain 36a of n mold are formed in the well 16. The source / drain 36a of n mold are located next to offset 36b of the source/drain.

[0016] The LOCOS oxide film 20 for isolation is formed in one edge of a well 16 at the LOCOS oxide film 26 for isolation, and the other-end section of a well 16, respectively. The channel stopper field 30 of p mold is formed in the well 16 under the LOCOS oxide film 26 for isolation. The channel stopper field 32 of p mold is formed in the well 16 under the LOCOS oxide film 20. On the silicon substrate 14, the interlayer insulation film 50 is formed so that the gate electrode 40 may be covered. The through hole 42 to which the source / drain 34a is exposed is formed in the interlayer insulation film 50. The aluminum wiring 46 is formed on the interlayer insulation film 50. The aluminum wiring 46 is formed also in a through hole 42, and is electrically connected with the source / drain 34a. The through hole 44 to which the source / drain 36a is exposed is formed in the interlayer insulation film 50. The aluminum wiring 48 is formed on the interlayer insulation film 50. The aluminum wiring 48 is formed also in a through hole 44, and is electrically connected with the source / drain 36a.

[0017] Next, the details of the 2nd field 12 are explained. A metal oxide silicon field effect transistor 15 is equipped with the gate electrode 60, and the source/drains 54 and 56. It embeds on the silicon substrate 14 of the 2nd field 12, and the oxide film 18 is formed. The silicon single crystal layer is formed on the embedding oxide film 18. The body field 52 of p mold, and the source/drains 54 and 56 of n mold are formed in this silicon single crystal layer. On the embedding oxide film 18, the LOCOS oxide films 26 and 28 for isolation are formed. Insulating separation of the metal oxide silicon field effect transistor 15 is carried out with other elements with the LOCOS oxide films 26 and 28 for isolation.

[0018] Gate oxide 58 is formed on the body field 52. The thickness of gate oxide 58 is 3-10nm. On the silicon substrate 14, the interlayer insulation film 50 is formed so that the gate electrode 60 may be covered. The through hole 62 to which the source / drain 54 is exposed is formed in the interlayer insulation film 50. The aluminum wiring 66 is formed on the interlayer insulation film 50. The aluminum wiring 66 is formed also in a through hole 62, and is electrically connected with the source / drain 54. The through hole 64 to which the source / drain 56 is exposed is formed in the interlayer insulation film 50. The aluminum wiring 68 is formed on the interlayer insulation film 50. The aluminum wiring 68 is formed also in a through hole 64, and is electrically connected with the source / drain 56.

[0019] The manufacture method of the semiconductor device concerning the gestalt of 1 operation of {explanation of manufacture method} this invention is explained. Drawing 2 is the cross section of the SOI substrate 11. The SOI substrate 11 is equipped with a silicon substrate 14 and the silicon single crystal layer 19 which was formed on the silicon substrate 14 and which embedded and was formed on the oxide film 18 and the embedding oxide film 18.

[0020] As shown in drawing 3 , with photolithography technology and etching technology, the silicon single crystal layer 19 and the embedding oxide film 18 on the 1st field 10 are removed alternatively, and a silicon substrate 14 is exposed.

[0021] As shown in drawing 4 , the resist 70 to which the 1st field 10 is exposed is formed on the SOI substrate 11. The ion of p mold is injected into the SOI substrate 11 by using a resist 70 as a mask. Thereby, the well 16 of p mold is formed into the silicon substrate 14 of the 1st field. As ion of p mold, there are B and BF₂ grade, for example. The concentration of a well 16 is 10-16 - 10-17/cm³. And a resist 70 is removed.

[0022] As shown in drawing 5 , on the whole surface of the SOI substrate 11, a CVD method is used and silicon oxide 76 is formed. On the whole surface of silicon oxide 76, a CVD method is used and the silicon nitride 78 is formed. A resist 80 is formed on the whole surface of the silicon nitride 78. And the silicon nitride 78 on the field in which the object for isolation and the LOCOS oxide films 20, 22, 24, 26, and 28 for offset are formed is alternatively removed by using a resist 80 as a mask. And the resist 80 which remains is removed.

[0023] As shown in drawing 6 , a resist 72 is formed on the SOI substrate 11. The resist 72 is exposing the field in which the offset 34b and 36b of the source/drain under the LOCOS oxide film for offset is formed. The ion of n mold is injected into the SOI substrate 11 by using a resist 72 as a mask. Thereby, the offset 34b and 36b of the source/drain of n mold is formed into a well 16. As ion of n mold, there are P, Ar, etc., for example. And the resist 72 which remains is removed.

[0024] As shown in drawing 7 , a resist 74 is formed on the SOI substrate 11. The resist 74 is exposing the field in which the channel stopper fields 30 and 32 are formed. The ion of p mold is injected into the SOI substrate 11 by using a resist 74 as a mask. Thereby, the channel stopper fields

30 and 32 of p mold are formed into a well 16. As ion of p mold, there are B and BF₂ grade, for example. And the resist 74 which remains is removed.

[0025] As shown in drawing 8, it carries out selective oxidation, using the silicon nitride 78 as a mask, and the object for isolation and the LOCOS oxide films 20, 22, 24, 26, and 28 for offset are formed.

[0026] As shown in drawing 9, a resist 82 is formed so that the 1st field 10 may be covered. The ion of p mold is injected into the silicon single crystal layer 19 by using a resist 82 and the LOCOS oxide films 26 and 28 for isolation as a mask, and the body field 52 of p mold is formed. As ion of p mold, there are B and BF₂ grade, for example. The concentration of the body field 52 is 10⁻¹⁶ - 10⁻¹⁷/cm³.

[0027] As shown in drawing 10, light etching removes silicon oxide 76. And the silicon oxide which turns into gate oxide at the following production process is formed. The thickness of the gate oxide 38 of the high resisting pressure transistor 13 is larger than the thickness of the gate oxide 58 of a metal oxide silicon field effect transistor 15. Therefore, the silicon oxide which turns into gate oxide as is the following was formed.

[0028] As shown in drawing 11, silicon oxide 84 is formed in the body field 52 and the exposed well 16 by thermal oxidation. The silicon oxide 84 formed in the 1st field 10 turns into a part of gate oxide 38 of the high resisting pressure transistor 13. For this reason, it is necessary to make thickness of silicon oxide 84 smaller than the thickness of gate oxide 38. Therefore, as thickness of silicon oxide 84, it is 30-90nm, for example.

[0029] As shown in drawing 12, the wrap resist 86 is formed for the 1st field 10. The silicon oxide 84 on the body field 52 is removed by using a resist 86 as a mask.

[0030] A SOI substrate is oxidized thermally as shown in drawing 13. Thereby, on the body field 52, the silicon oxide 88 used as gate oxide is formed. Moreover, the thickness of silicon oxide 84 becomes large. As thickness of silicon oxide 88, it is 3-10nm, for example. As thickness of silicon oxide 84, it is 40-100nm, for example.

[0031] As shown in drawing 14, a polish recon film is formed with a CVD method on the whole surface of a SOI substrate. For example, with photolithography technology and etching technology, a polish recon film and silicon oxide 84 and 88 are removed alternatively, and gate oxide 38, the gate electrode 40, gate oxide 58, and the gate electrode 60 are formed.

[0032] As shown in drawing 15, the ion of n mold is poured into a well 16 and the body field 52 at the gate electrode 40 and 60 lists by using the object for isolation, and the LOCOS oxide films 20, 22, 24, 26, and 28 for offset as a mask, and the source / drains 34a, 36a, 54, and 56 of n mold are formed. As ion of n mold, there are P, Ar, etc., for example.

[0033] As shown in drawing 1, the interlayer insulation film 50 containing silicon oxide is formed on the whole surface of a SOI substrate with a CVD method. By anisotropic etching, an interlayer

insulation film 50 is removed alternatively and through holes 42, 44, 62, and 64 are formed. A through hole 42 exposes the source / drain 34a. A through hole 44 exposes the source / drain 36a. A through hole 62 exposes the source / drain 54. A through hole 64 exposes the source / drain 56. Next, for example, an aluminum film is formed on the whole surface of a SOI substrate by the sputtering method. It fills up with the aluminum film also in through holes 42, 44, and 62 and 64. Pattern NINGU of the aluminum film is carried out with for example, photolithography technology and etching technology, and the aluminum wiring 46, 48, 66, and 68 is formed. By the above, the semiconductor device concerning the gestalt of 1 operation of this invention is completed.

[0034] As shown in {explanation of effect} drawing 1 , according to the semiconductor device concerning the gestalt of 1 operation of this invention, the embedding oxide film and silicon single crystal layer of a SOI substrate are removed alternatively, and the 1st field 10 is formed. And the high resisting pressure transistor 13 is formed in the silicon substrate 14 of the 1st field 10. Therefore, according to the semiconductor device concerning the gestalt of 1 operation of this invention, it becomes possible to form the high resisting pressure transistor 13 which needs a deep diffusion layer for the same substrate, and the metal oxide silicon field effect transistor 15 of SOI structure.

[0035] {Explanation of a modification}

(1) As shown in drawing 14 , according to the gestalt of 1 operation of this invention, form the gate electrodes 40 and 60 in coincidence. However, the gate electrode 40 and the gate electrode 60 may be formed separately. Thereby, the following effects arise. The silicon oxide 84 shown in drawing 13 is formed by oxidation of two times. In this case, the oxidation production process of the 2nd time may have a bad influence on the insulating property of the film formed by time [1st] oxidation. If the gate electrode 40 and the gate electrode 60 are formed separately, the gate oxide 38 and 58 from which the thickness in the lower part of a gate electrode differs can be formed at the oxidation production process per time, respectively.

[0036] (2) As shown in drawing 15 , according to the gestalt of 1 operation of this invention, form the source / drains 34a and 36a, and the source/drains 54 and 56 in coincidence. However, the source / drains 34a and 36a, and the source/drains 54 and 56 may be formed separately. According to this, it can be made high impurity concentration with respectively desirable the source / drains 34a and 36a, and the source/drains 54 and 56, and the cementation depth.

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 2] It is the cross section of the SOI substrate for explaining the 1st production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 3] It is the cross section of the SOI substrate for explaining the 2nd production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 4] It is the cross section of the SOI substrate for explaining the 3rd production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 5] It is the cross section of the SOI substrate for explaining the 4th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 6] It is the cross section of the SOI substrate for explaining the 5th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 7] It is the cross section of the SOI substrate for explaining the 6th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 8] It is the cross section of the SOI substrate for explaining the 7th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 9] It is the cross section of the SOI substrate for explaining the 8th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 10] It is the cross section of the SOI substrate for explaining the 9th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 11] It is the cross section of the SOI substrate for explaining the 10th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 12] It is the cross section of the SOI substrate for explaining the 11th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 13] It is the cross section of the SOI substrate for explaining the 12th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 14] It is the cross section of the SOI substrate for explaining the 13th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Drawing 15] It is the cross section of the SOI substrate for explaining the 14th production process of the manufacture method of the semiconductor device concerning the gestalt of 1 operation of this invention.

[Description		of				Notations]	
10			1st			Field	
11			SOI			Substrate	
12			2nd			Field	
13	High		Resisting		Pressure	Transistor	
14			Silicon			Substrate	
15	Metal	Oxide	Silicon	Field	Effect	Transistor	
16						Well	
18		Embedding			Oxide	Film	
19		Silicon	Single		Crystal	Layer	
20,	26,	28	LOCOS	oxide	film	for	isolation
22	24		LOCOS	oxide	film	for	offset
30		32	Channel		stopper		field
34a,		36a		The			source/drain
34b,	36b		Offset	of	the		source/drain
38			Gate				Oxide
40			Gate				Electrode
42		44		Through			hole
46		48		Aluminum			wiring
50		Interlayer		Insulation			Film
52			Body				Field
54		56		The			source/drain
58			Gate				Oxide
60			Gate				Electrode
62		64		Through			hole
66		68		Aluminum			wiring
70,		72,		74			Resist
76			Silicon				Oxide
78			Silicon				Nitride
80			82				Resist
84			Silicon				Oxide
86							Resist
88	Silicon Oxide						